

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

5382116

Basic Patent (No,Kind,Date): JP 61005578 A2 860111 <No. of Patents: 001>

THIN FILM TRANSISTOR (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): KANEKO SETSUO

IPC: \*H01L-029/78; H01L-027/12

Derwent WPI Acc No: \*C 86-052075;

JAPIO Reference No: \*100141E000163;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
-----------	------	------	-----------	------	------

<b>JP 61005578</b>	A2	860111	JP 84126112	A	840619 (BASIC)
--------------------	----	--------	-------------	---	----------------

Priority Data (No,Kind,Date):

JP 84126112 A	840619
---------------	--------

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

01791478 \*\*Image available\*\*

THIN FILM TRANSISTOR

PUB. NO.: **61-005578** [JP 61005578 A]

PUBLISHED: January 11, 1986 (19860111)

INVENTOR(s): KANEKO SETSUO

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 59-126112 [JP 84126112]

FILED: June 19, 1984 (19840619)

INTL CLASS: [4] H01L-029/78; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097  
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 406, Vol. 10, No. 141, Pg. 163, May  
24, 1986 (19860524)

**ABSTRACT**

PURPOSE: To obtain a thin film transistor having a high OFF-state resistance by a method wherein a semiconductor layer containing an amorphous silicon layer comprising elements of at least more than one kind of oxygen, nitrogen and carbon as its principal component is provided.

CONSTITUTION: A chrome electrode 2, which is a gate metal film, is vacuum-evaporated on a glass substrate 1 and a silicon nitride layer 3 is formed.

An N<sup>-</sup> type amorphous silicon layer 4 is formed by decomposing silane gas according to glow discharge, an N<sup>-</sup> type amorphous Si<sub>x</sub>C<sub>1-x</sub> (x=0.05) layer 5 is formed by decomposing mixed gas of silane and methane according to glow discharge and an N<sup>+</sup> type amorphous silicon layer 6 is formed by decomposing mixed gas of silane and phosphine according to glow discharge. A source electrode 7 and a drain electrode 8 are formed. By providing the amorphous silicon layer comprising more than 1% and less than 70% of carbon, nitrogen or oxygen, this thin film transistor can be made to hold a sufficient resistivity even when the resistivity of the surface is lowered due to dry etching, contamination and so forth.

## ② 公開特許公報 (A) 昭61-5578

② Int.Cl.<sup>4</sup>H 01 L 29/78  
27/12

識別記号

府内整理番号

②公開 昭和61年(1986)1月11日

8422-5F  
7514-5F

審査請求 未請求 発明の数 1 (全3頁)

②発明の名称 薄膜トランジスタ

②特 願 昭59-126112

②出 願 昭59(1984)6月19日

②発明者 金子 節夫 東京都港区芝5丁目33番1号 日本電気株式会社内

②出願人 日本電気株式会社 東京都港区芝5丁目33番1号

②代理人 弁理士 内原 音

## 明細書

発明の名称 薄膜トランジスタ

## 特許請求の範囲

絶縁性基板上にゲート金属、ゲート絶縁膜、非晶質シリコンを基体とした半導体層、オーミック層、ソース・ドレイン電極からなる積層構造薄膜トランジスタにおいて、前記半導体層の1部に1箇以上70箇未満の炭素、窒素又は酸素の少なくとも一つ以上の原素を含ませてなることを特徴とする薄膜トランジスタ。

## 発明の詳細な説明

## (産業上の利用分野)

本特許は非晶質シリコンを用いた薄膜トランジスタ特にOFF抵抗の高い非晶質シリコンを用いた薄膜トランジスタに関する。

## (従来技術とその問題点)

最近、パーソナルコンピュータや各種情報処理

機器を小型化することが望まれている。この中で最も小型化しにくいものの1つにディスプレイがあげられる。現在ディスプレイの大部分はCRTであるが、CRTは真空中で電子線を電界等で制御して螢光体に照射し発光させるため、電子線を走査する部分だけ装置が厚くなり、小型化が困難である。ディスプレイを小型化にすることを目的とした液晶を用いた薄型のディスプレイの開発が注目されている。この液晶ディスプレイは電極が付いた2枚のガラス板の間に10ミクロン厚程度の液晶をはさみ、2枚のガラス板についた走査電極によって液晶に電界を印加し、液晶の動きを制御するために、真空中の電子の走向を制御するCRTと比較して薄いディスプレイが可能になる。しかし、液晶を動作させる場合、例えば電圧平均化法では単純なXYマトリクス動作では線素数が増加した時コントラストが低下する問題があった。このコントラストの低下を解決する方法として薄膜トランジスタを用いたアクティブラマトリクス動作法が研究されている。ここで用いられる薄膜材料

には多結晶 Si やテルル、非晶質シリコンなどを用いたものがあるが、低温プロセスで低価格の基板が使えることや安定で量産しやすいという特徴を有する非晶質シリコンが最も適している。

非晶質シリコンを用いた薄膜トランジスタをこのような平面ディスプレイに応用する場合、画素欠陥のないディスプレイを得るためにには薄膜トランジスタの ON 抵抗と OFF 抵抗の比が十分大きい薄膜トランジスタ素子が大面積に均一に形成できることが必要となる。

従来の薄膜トランジスタは第1図にその構造を示す様にゲート金属が付いたガラス等の絶縁性基板上にプラズマ CVD 法を用いて例えば窒化シリコン層、 $n^-$  非晶質シリコン層、りん等を 0.1 ~ 1 ミクロンドープした  $n^+$  非晶質シリコン層を形成し、その後ソース・ドレイン電極を形成した後、ゲート金属上の  $n^+$  非晶質シリコン層をエッチングして薄膜トランジスタを作製していた。また最後に表面の安定化を計るためや遮光膜を設置するために窒化シリコン等のバッショーン用絶縁膜を

形成する。しかし、この  $n^+$  非晶質シリコン層をエッチングする工程や窒化シリコン等のバッショーン膜を形成する時に  $n^-$  非晶質シリコン層表面の抵抗値が減少し、薄膜トランジスタの OFF 抵抗が小さくなり、平面ディスプレイにした時に画素欠陥となって歩どまり低下の原因となっていた。

#### (発明の目的)

本発明はこのような従来の欠点を除去せしめて OFF 抵抗の高い薄膜トランジスタを提供することにある。

#### (発明の構成)

本発明によれば絶縁性基板上にゲート金属、ゲート絶縁膜非晶質シリコンを基体とした半導体層とオーミック層、ソース・ドレイン電極からなる積層構造薄膜トランジスタにおいて前記半導体層の 1 部に 1 ミクロン以上 70 ミクロン未満の炭素、窒素及び酸素の少なくとも一つ以上の元素を含ませてなることを特徴とする薄膜トランジスタが得られる。

#### (発明の概要)

本発明は上述の構成をとることにより従来のような薄膜トランジスタの OFF 抵抗が小さくなることを解決した。すなわち従来構造における OFF 抵抗低下の原因は抵抗率  $10^4$  ~  $10^5 \Omega \text{cm}$  の  $n^-$  非晶質シリコン層がドライエッティング時のプラズマ損傷を受けることや表面汚染によって抵抗率が 1 衍から 2 衍程度小さくなってしまったことと考えられるが、本発明では  $n^-$  非晶質シリコン層内に抵抗率の大きい酸素、窒素や炭素の少なくとも 1 つ以上の元素を含んだ非晶質シリコン合金を設けることによりドライエッティングや汚染等により表面の抵抗率が小さくなつたとしても十分な抵抗率を保持させることができるようにした。この時、上記元素は 1 ミクロン以上の濃度で非晶質シリコン内に混入させることができることで抵抗率を高める上で必要であり、デバイス動作時のキャリアの走向を考慮すると 70 ミクロン以下の濃度で非晶質シリコンとの合金化をおさえる必要がある。このようにすることにより、薄膜トランジスタの OFF 抵抗を安定的に大きくす

ることができる。薄膜トランジスタを多数使用したディスプレイの歩どまりを向上させることができる。また別の効果として、上記元素が含まれている非晶質シリコンはエッティング速度が比較的遅く非晶質シリコンとのエッティング速度差を利用して均一性良く  $n^+$  非晶質シリコン層をエッティングすることができる。これは OFF 抵抗の高い薄膜トランジスタが再現性良く得られるもう一つの理由である。

本発明においては、 $n^-$  非晶質シリコン層に炭素、窒素又は酸素を含んだ非晶質シリコン層を設けることで OFF 抵抗の高い薄膜トランジスタを得ることができる。

#### (実施例)

以下、本発明の実施例について図面を参照して説明する。第2図は本発明の実施例を示す断面図である。ガラス基板 1 上にゲート金属であるクロム電極 2 を  $1000 \text{ \AA}$  真空蒸着し、フォトリソグラフィにより幅  $20 \mu\text{m}$  に加工する。続いてシランガスとアンモニアガスの混合ガスをプラズマ CVD

装置を用いグロー放電分解して窒化シリコン層3を3000 Å形成し、次にシランガスのグロー放電分解によりn-非晶質シリコン層4を1000 Å、シランガスにメタンガスを40%混合したガスをグロー放電分解してn-非晶質 $Si_xC_{1-x}$  ( $x \approx 0.05$ )層5を1500 Å、シランにホスフィンを1000 ppm混合したガスをグロー放電分解してn+非晶質シリコン層6を500 Å形成する。つぎにソース・ドレイン電極7であるモリブデンを2000 Å形成し、CF<sub>4</sub>を用いたドライエッチングにより、ゲート長が100 μm、ゲート幅が10 μmになるようにソース・ドレイン電極およびn+非晶質シリコンをエッチングし、トランジスタ構造とする。さらに表面安定のために窒化シリコン等の絶縁物をバッショーベーション膜として被覆する。ここでは非晶質シリコンの高抵抗化に炭素元素を混入する方法としてシランとメタンの混合ガスを用いているが、他の炭素を含むガス例えばエタン・プロパン等のガスを原料ガスとして用いたとしても有効に作用する。また酸素、あるいは窒素を非晶質シリコン内

に混合する場合には、酸素ガス、炭酸ガス、N<sub>2</sub>Oガス、NO<sub>2</sub>ガスあるいは窒素ガス、アンモニアガスを原料ガスとして用いれば良い。

(発明の効果)

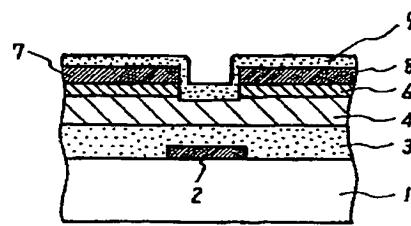
この薄膜トランジスタを用いて128×64素子の液晶駆動用薄膜トランジスタアレイを試作してその特性を評価した。その結果ゲート電圧15 V、ソース・ドレイン間電圧15 Vでの平均ON電流は $1.2 \times 10^{-3}$  A、平均OFF電流は $1.6 \times 10^{-11}$  Aであり、画像欠陥の恐れのある $1 \times 10^{-10}$  A以上のOFF電流が流れる素子は全体の0.5%以下におさえることができた。これに対し、従来の薄膜トランジスタを用いた場合には平均ON電流 $3.4 \times 10^{-3}$  A、平均OFF電流 $2.3 \times 10^{-11}$  Aであり、平均的なON/OFF比は十分あるものの、OFF電流 $10^{-10}$  A以上の素子が全体の4%含まれていた。このように本発明によってOFF電流の小さい薄膜トランジスタを安定的に製造できることが明らかになった。

図面の簡単な説明

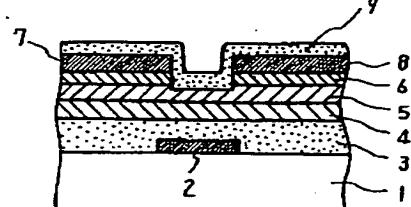
第1図は従来の薄膜トランジスタの断面図、第2図は本発明の一実施例を説明するための薄膜トランジスタの断面図である。

1…絶縁性基板、2…ゲート電極、3…絶縁体層、4…n-非晶質シリコン半導体層、5…炭素を含む非晶質シリコン半導体層、6…n+非晶質シリコン半導体層、7…ソース電極、8…ドレイン電極、9…バッショーベーション膜。

第1図



第2図



代理人弁理士内原晋